

PAT-NO: JP407329337A
DOCUMENT-IDENTIFIER: JP 07329337 A
TITLE: DRIVING CIRCUIT FOR THERMAL HEAD

PUBN-DATE: December 19, 1995

INVENTOR-INFORMATION:

NAME	COUNTRY
OGATA, HIDEICHIRO	
YOSHIDA, KAZUYOSHI	
INOUE, HIROYUKI	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
OKI ELECTRIC IND CO LTD	N/A

APPL-NO: JP06130703

APPL-DATE: June 13, 1994

INT-CL (IPC): B41J002/36

ABSTRACT:

PURPOSE: To reduce the capacity of a power source by preventing the decrease of an image quality level due to influence of an adjacent heat generator.

CONSTITUTION: The driving circuit for a thermal head comprises means for generating a data signal having odd bits of one line, means for generating a data signal having even bits of one line, means for generating '0' data, a shift register 21 for the odd bits, and a shift register 22

for the even bits. The '0' data is output to the register 22 for the odd bits at the timing of outputting the signal having the odd bits to the register 21 for the odd bid The '0' data is output to the register 21 for the odd bits at the timing of outputting the signal having the even bits to the register 22 for the even bits.

COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-329337

(43) 公開日 平成7年(1995)12月19日

(51) Int.Cl.⁹

B 4 1 J 2/36

識別記号

庁内整理番号

F I

技術表示箇所

B 4 1 J 3/20

1 1 5 C

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21) 出願番号 特願平6-130703

(22) 出願日 平成6年(1994)6月13日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 尾形 秀一郎

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 吉田 一義

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 井上 弘之

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

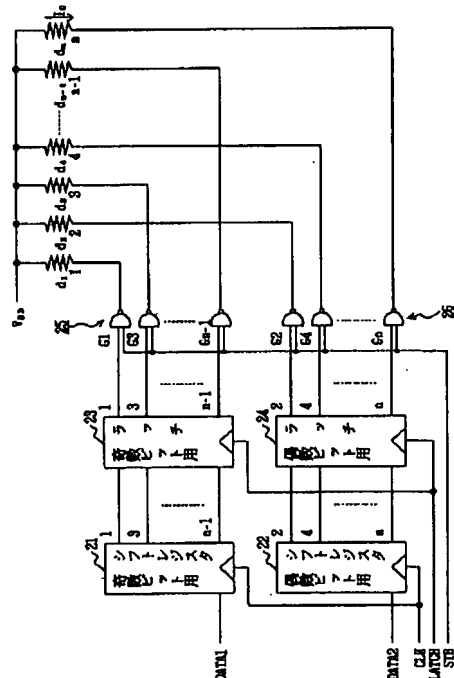
(74) 代理人 弁理士 川合 誠 (外1名)

(54) 【発明の名称】 サーマルヘッドの駆動回路

(57) 【要約】

【目的】隣接する発熱体の影響を受けて画像品位が低下するのを防止し、電源の容量を小さくする。

【構成】1ラインの奇数ビットから成るデータ信号を発生させる手段と、1ラインの偶数ビットから成るデータ信号を発生させる手段と、“0”データを発生させる手段と、奇数ビット用シフトレジスタ21と、偶数ビット用シフトレジスタ22とを有する。そして、前記奇数ビット用シフトレジスタ21に対して奇数ビットから成るデータ信号を出力するタイミングにおいて、偶数ビット用シフトレジスタ22に対して“0”データを出力する。また、前記偶数ビット用シフトレジスタ22に対して偶数ビットから成るデータ信号を出力するタイミングにおいて、奇数ビット用シフトレジスタ21に対して“0”データを出力する。



【特許請求の範囲】

【請求項1】 (a) 1ラインの奇数ビットから成るデータ信号を発生させる手段と、(b) 1ラインの偶数ビットから成るデータ信号を発生させる手段と、(c)

“0”データを発生させる手段と、(d) 奇数ビット用シフトレジスタと、(e) 偶数ビット用シフトレジスタと、(f) 前記奇数ビット用シフトレジスタに対して奇数ビットから成るデータ信号を出力するタイミングにおいて、偶数ビット用シフトレジスタに対して“0”データを出力するとともに、前記偶数ビット用シフトレジスタに対して偶数ビットから成るデータ信号を出力するタイミングにおいて、奇数ビット用シフトレジスタに対して“0”データを出力する手段と、(g) 前記奇数ビット用シフトレジスタ及び偶数ビット用シフトレジスタの出力に対応して選択的に発熱する発熱体とを有することを特徴とするサーマルヘッドの駆動回路。

【請求項2】 (a) 1ラインのデータ信号のうち偶数ビットを“0”によってマスクして奇数ビット用データ信号を発生させる第1ラインデータ作成手段と、(b) 1ラインのデータ信号のうち奇数ビットを“0”によってマスクして偶数ビット用データ信号を発生させる第2ラインデータ作成手段と、(c) 奇数ビット用データ信号を格納する第1のラインバッファと、(d) 偶数ビット用データ信号を格納する第2のラインバッファと、(e) 前記第1のラインバッファに格納された奇数ビット用データ信号と第2のラインバッファに格納された偶数ビット用データ信号とをプリンタのエンジンに対して交互に出力する切換手段とを有することを特徴とするサーマルヘッドの駆動回路。

【請求項3】 前記切換手段によって出力された奇数ビット用データ信号及び偶数ビット用データ信号は2値データである請求項2に記載のサーマルヘッドの駆動回路。

【請求項4】 (a) 前記切換手段によって出力された奇数ビット用データ信号及び偶数ビット用データ信号は多値データであり、(b) 階調表現を行うための比較値を発生させる階調ラッチ回路と、(c) 前記多値データと比較値とを比較するデータ比較回路とを有する請求項2に記載のサーマルヘッドの駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、サーマルヘッドの駆動回路に関するものである。

【0002】

【従来の技術】従来、感熱プリンタ、熱転写プリンタ等のプリンタはサーマルヘッドを有しており、該サーマルヘッドの発熱体を選択的に作動させることによって印刷を行うことができるようになっている。図2は従来のサーマルヘッドの駆動回路を示すブロック図、図3は従来のサーマルヘッドの駆動回路の第1のタイムチャート、

図4は従来のサーマルヘッドの駆動回路の第2のタイムチャートである。

【0003】図において、11はシフトレジスタ、12はラッチ、13はナンドゲートG1～Gnから成るドライバ、d1～dnはドライバ13の各ナンドゲートG1～Gnに対応させて配設されたn個の発熱体である。また、DATAはデータ信号、CLKはクロック、LATCHはラッチ信号、STBはストロブ信号である。ところで、通常、サーマルヘッドは、感熱プリンタ、熱転写プリンタ等のプリンタの印字機構部に使用され、該印字機構部の制御回路部からサーマルヘッドに、n個のクロックCLKに同期させてn個のデータ信号DATAがシリアルに送られる。

【0004】そして、前記シフトレジスタ11は前記データ信号DATAをパラレルデータに変換して出力する。また、ラッチ12は前記シフトレジスタ11からのパラレルデータが出力された時点でパラレルデータをラッチし、パラレルデータをドライバ13に対して出力する。この時、ドライバ13の各ナンドゲートG1～Gnのうち、ラッチ12から出力されたパラレルデータが“1”であるものは、ストロブ信号STBが“1”の期間中にオンになり、対応する発熱体d1～dnにオンの期間中電流I₀を流し、ジュール熱を発生させる。

【0005】このようにして、感熱プリンタの場合は、感熱紙を発色させ、熱転写プリンタの場合は、インクリボンのインクを紙に転写し、印字を行うことができる。ところで、最近、文字、線画等だけではなく、自然画のように濃度が連続的に変化する画像を印字することができるようにしたプリンタが提案されている。ところが、通常の印字機構部においては、データ量が制限されたり、感熱紙、インクリボン等の特性に限界があったりするので、銀塩写真の印画紙のように濃度を連続的に変化させることができない。そこで、前記サーマルヘッドの各ドットに対応させて、各発熱体d1～dnに電流I₀を流す時間、又は電流I₀の値を制御することによって感熱紙、インクリボン等に与えられるエネルギーを調整するようにしている。

【0006】次に、インクリボンに与えられるエネルギーと階調表現との関係について説明する。図5は従来のサーマルヘッドにおけるエネルギーとドット径との関係図である。なお、図において、横軸にエネルギーを、縦軸にドット径を採ってある。図において、eは熱溶融型のインクリボンの特性を示す線である。すなわち、熱溶融型のインクリボンに与えられるエネルギーをW0からW3まで変化させることによって、ドット径をOからR3まで変化させ、16階調、64階調、256階調等の階調表現を行うことができる。

【0007】なお、熱昇華型のインクリボンを使用した場合、エネルギーを変化させることによって昇華される染料の量を変化させる。

【0008】

【発明が解決しようとする課題】しかしながら、前記従来のサーマルヘッドの駆動回路においては、各発熱体 $d_1 \sim d_n$ のエネルギーが隣接する発熱体の影響を受けるので、画像品位が低下してしまう。図6は従来のサーマルヘッドにおける発熱体の状態と温度との関係を示す第1の図である。

【0009】図において、 f は理想的な温度分布を示す線、 g は実際の温度分布を示す線である。この場合、各発熱体 $d_1 \sim d_n$ の作動状態は、オン・オフで示される。ところで、サーマルヘッドの各発熱体 $d_1 \sim d_n$ のうち、ある発熱体に電流 I_0 を流し、ある発熱体には電流 I_0 を全く流さない場合でも、電流 I_0 が流れた発熱体だけの温度が上昇し、電流 I_0 が流されない発熱体の温度が上昇しないということはない。実際には、線 g で示すように、例えば発熱体 d_4 、 d_8 がオフであって発熱していない場合でも、隣接する発熱体 d_3 、 d_5 、 d_7 、 d_9 が発熱していると、それらの影響を受け、少なからず温度が上昇してしまう。その結果、本来ドットが不要な部分にドットが形成されることがある。

【0010】さらに、自然画等の濃度階調を表現しようとした場合、本来の濃度階調を表現することができない。図7は従来のサーマルヘッドにおける発熱体の状態と温度との関係を示す第2の図である。図において、 h は理想的な温度分布を示す線、 i は実際の温度分布を示す線である。この場合、発熱体 $d_1 \sim d_n$ の作動状態は、発生させられたエネルギーで示される。

【0011】発熱体 $d_1 \sim d_n$ によって発生させられるエネルギーを $W0$ から $W3$ まで変化させると、インクリボン上のドット径はエネルギー $W0 \sim W3$ の大きさに対応して 0 から $R3$ まで変化する。すなわち、理想的な温度分布 h においては、エネルギーを $W0$ にすると、温度は T_0 になりドット径は 0 になる。また、エネルギーを $W1$ にすると、温度は T_1 になりドット径は $R1$ になる。そして、エネルギーを $W2$ にすると、温度は T_2 になりドット径は $R2$ になる。さらに、エネルギーを $W3$ にすると、温度は T_3 になりドット径は $R3$ になる。

【0012】ところが、実際は、発熱体 $d_1 \sim d_n$ が隣接する発熱体の影響を受けて、線 i で示すような温度分布になる。したがって、本来のドット径は 0 から $R3$ まで変化するのに対して、 0 から $R3'$ までになり、全体に大きくなってしまふ。さらに、前記構成のサーマルヘッドの駆動回路において、すべての発熱体 $d_1 \sim d_n$ を同時に作動させた場合には、サーマルヘッドに流れる電流が過大になり、電源の容量をその分大きくしなければならない。

【0013】本発明は、前記従来のサーマルヘッドの駆動回路の問題点を解決して、隣接する発熱体の影響を受けて画像品位が低下するのを防止することができ、電源の容量を小さくすることができるサーマルヘッドの駆動

回路を提供することを目的とする。

【0014】

【課題を解決するための手段】そのために、本発明のサーマルヘッドの駆動回路においては、1ラインの奇数ビットから成るデータ信号を発生させる手段と、1ラインの偶数ビットから成るデータ信号を発生させる手段と、“0”データを発生させる手段と、奇数ビット用シフトレジスタと、偶数ビット用シフトレジスタとを有する。

【0015】また、前記奇数ビット用シフトレジスタに対して奇数ビットから成るデータ信号を出力するタイミングにおいて、偶数ビット用シフトレジスタに対して“0”データを出力するとともに、前記偶数ビット用シフトレジスタに対して偶数ビットから成るデータ信号を出力するタイミングにおいて、奇数ビット用シフトレジスタに対して“0”データを出力する手段と、前記奇数ビット用シフトレジスタ及び偶数ビット用シフトレジスタの出力に対応して選択的に発熱する発熱体とを有する。

【0016】本発明の他のサーマルヘッドの駆動回路においては、1ラインのデータ信号のうち偶数ビットを“0”によってマスクして奇数ビット用データ信号を発生させる第1ラインデータ作成手段と、1ラインのデータ信号のうち奇数ビットを“0”によってマスクして偶数ビット用データ信号を発生させる第2ラインデータ作成手段と、奇数ビット用データ信号を格納する第1のラインバッファと、偶数ビット用データ信号を格納する第2のラインバッファとを有する。

【0017】そして、前記第1のラインバッファに格納された奇数ビット用データ信号と第2のラインバッファに格納された偶数ビット用データ信号とをプリンタのエンジンに対して交互に出力する切換手段を有する。

【0018】

【作用】本発明によれば、前記のようにサーマルヘッドの駆動回路においては、1ラインの奇数ビットから成るデータ信号を発生させる手段と、1ラインの偶数ビットから成るデータ信号を発生させる手段と、“0”データを発生させる手段と、奇数ビット用シフトレジスタと、偶数ビット用シフトレジスタとを有する。

【0019】この場合、奇数ビット用シフトレジスタには奇数ビットから成るデータ信号又は“0”データが入力され、偶数ビット用シフトレジスタには偶数ビットから成る信号又は“0”データが入力される。また、前記奇数ビット用シフトレジスタに対して奇数ビットから成るデータ信号を出力するタイミングにおいて、偶数ビット用シフトレジスタに対して“0”データを出力するとともに、前記偶数ビット用シフトレジスタに対して偶数ビットから成るデータ信号を出力するタイミングにおいて、奇数ビット用シフトレジスタに対して“0”データを出力する手段と、前記奇数ビット用シフトレジスタ及び偶数ビット用シフトレジスタの出力に対応して選択的

に発熱する発熱体とを有する。

【0020】したがって、奇数ビットから成るデータ信号が奇数ビット用シフトレジスタに入力され、該奇数ビット用シフトレジスタの出力に対応して奇数番目の発熱体が選択的に発熱している間においては、偶数ビット用シフトレジスタの出力は“0”であり、偶数番目の発熱体は発熱しない。また、偶数ビットから成るデータ信号が偶数ビット用シフトレジスタに入力され、該偶数ビット用シフトレジスタの出力に対応して偶数番目の発熱体が選択的に発熱している間においては、奇数ビット用シフトレジスタの出力は“0”であり、奇数番目の発熱体は発熱しない。

【0021】本発明の他のサーマルヘッドの駆動回路においては、1ラインのデータ信号のうち偶数ビットを“0”によってマスクして奇数ビット用データ信号を発生させる第1ラインデータ作成手段と、1ラインのデータ信号のうち奇数ビットを“0”によってマスクして偶数ビット用データ信号を発生させる第2ラインデータ作成手段と、奇数ビット用データ信号を格納する第1のラインバッファと、偶数ビット用データ信号を格納する第2のラインバッファとを有する。

【0022】そして、前記第1のラインバッファに格納された奇数ビット用データ信号と第2のラインバッファに格納された偶数ビット用データ信号とをプリンタのエンジンに対して交互に出力する切換手段を有する。この場合、第1のラインバッファに格納された奇数ビット用データ信号がプリンタのエンジンに入力されると、奇数ビット用データ信号の偶数ビットが“0”によってマスクされているので、偶数番目の発熱体は発熱しない。

【0023】また、第2のラインバッファに格納された偶数ビット用データ信号がプリンタのエンジンに入力されると、偶数ビット用データ信号の奇数ビットが“0”によってマスクされているので、奇数番目の発熱体は発熱しない。

【0024】

【実施例】以下、本発明の実施例について図面を参照しながら詳細に説明する。図1は本発明の第1の実施例におけるサーマルヘッドの駆動回路のブロック図である。図8は本発明の第1の実施例におけるサーマルヘッドの駆動回路の第1のタイムチャート、図9は本発明の第1の実施例におけるサーマルヘッドの駆動回路の第2のタイムチャートである。

【0025】図において、21は奇数ビット用シフトレジスタ、22は偶数ビット用シフトレジスタ、23は奇数ビット用ラッチ、24は偶数ビット用ラッチである。また、25は奇数ビット用ラッチ23に対応させて配設されたナンドゲートG1、G3、…、Gn-1から成る奇数ビット用ドライバ、26は偶数ビット用ラッチ24に対応させて配設されたナンドゲートG2、G4、…、Gnから成る偶数ビット用ドライバ、d1、d2、…、

dnは各ナンドゲートG1、G2、…Gnに接続されたn個の発熱体である。

【0026】前記構成のサーマルヘッドの駆動回路において、まず、奇数ビットから成るデータ信号DATA1が、図示しない印字機構制御回路から奇数ビット用シフトレジスタ21にn/2個のクロックCLKと同期させてシリアルに転送される。この時、偶数ビットから成るデータ信号DATA2はすべて“0”レベルにされ、前記印字機構制御回路から偶数ビット用シフトレジスタ22にn/2個のクロックCLKと同期させてシリアルに転送される。

【0027】前記データ信号DATA1、DATA2の転送が終了すると、奇数ビット用シフトレジスタ21から奇数ビットのパラレルデータが出力され、偶数ビット用シフトレジスタ22から“0”のパラレルデータが出力される。その後、ラッチ信号LATCHが奇数ビット用ラッチ23及び偶数ビット用ラッチ24に同時に入力され、奇数ビット用ラッチ23は奇数ビット用ドライバ25に対して奇数ビットのパラレルデータを出力し、偶数ビット用ラッチ24は偶数ビット用ドライバ26に対して“0”のパラレルデータを出力する。

【0028】そして、ストローブ信号STBがハイレベルである期間中において、奇数ビット用ドライバ25のナンドゲートG1、G3、…、Gn-1のうち、入力された奇数ビットのパラレルデータが“1”であるものだけがオンになり、対応する発熱体d1、d3、…、dn-1に電流Ioが流れて作動させられる。その結果、データ信号DATA1に対応する発熱体d1、d3、…、dn-1が発熱し、インクリボンにエネルギーを加える。

【0029】次に、同様の手順で、偶数ビットから成るデータ信号DATA2が、前記印字機構制御回路から偶数ビット用シフトレジスタ22にn/2個のクロックCLKと同期させてシリアルに転送される。この時、奇数ビットから成るデータ信号DATA1はすべて“0”レベルにされ、前記印字機構制御回路から奇数ビット用シフトレジスタ21にn/2個のクロックCLKと同期させてシリアルに転送される。

【0030】前記データ信号DATA1、DATA2の転送が終了すると、偶数ビット用シフトレジスタ22から偶数ビットのパラレルデータが出力され、奇数ビット用シフトレジスタ21から“0”のパラレルデータが出力される。その後、ラッチ信号LATCHが偶数ビット用ラッチ24及び奇数ビット用ラッチ23に同時に入力され、偶数ビット用ラッチ24は偶数ビット用ドライバ26に対して偶数ビットのパラレルデータを出力し、奇数ビット用ラッチ23は奇数ビット用ドライバ25に対して“0”のパラレルデータを出力する。

【0031】そして、ストローブ信号STBがハイレベルである期間中において、偶数ビット用ドライバ26のナンドゲートG2、G4、…、Gnのうち、入力された

偶数ビットのパラレルデータが“1”であるものだけがオンになり、対応する発熱体 d_2 、 d_4 、…、 d_n に電流 I_0 が流れて作動させられる。その結果、データ信号DATA2に対応する発熱体 d_2 、 d_4 、…、 d_n が発熱し、インクリボンにエネルギーを加える。

【0032】このように、発熱体 d_1 、 d_2 、…、 d_n を奇数番目の発熱体 d_1 、 d_3 、…、 d_{n-1} と偶数番目の発熱体 d_2 、 d_4 、…、 d_n とに分割し、交互に時系列で発熱させるようにしているので、隣接する発熱体による影響を受けることがなくなる。したがって、各発熱体 $d_1 \sim d_n$ をオン・オフさせて作動させるサーマルヘッドにおいては、隣接する発熱体による影響を受けることがなく、本来形成されないドットが形成されることがなくなるので、画像品位を向上させることができる。また、発熱体 $d_1 \sim d_n$ をオンにする時間を変え、発生させられるエネルギーを濃度階調に対応させて変更するサーマルヘッドにおいては、隣接する発熱体による影響を受けることがなく、ドット径が大きくなるのを防止することができるので、画像品位を向上させることができる。

【0033】さらに、すべての発熱体 $d_1 \sim d_n$ が同時に作動させられることがないので、電源の容量を小さくすることができる。なお、隣接する発熱体による影響を実験によって求め、ラッチ信号LATCHの周期を調整することができる。次に、本発明の第2の実施例について説明する。

【0034】図10は本発明の第2の実施例におけるサーマルヘッドの駆動回路のブロック図である。図において、30はDMAコントローラ、31は図示しないホストコンピュータから転送されたデータ信号DATAを受信するインタフェース回路、32は受信されたデータ信号DATAを格納するメモリ、33は前記データ信号DATAが転送されるルートを切り換えるためのゲートである。前記DMAコントローラ30は、インタフェース回路31、メモリ32及びゲート33との間においてデータ信号DATAの流れを制御する。

【0035】そして、DMAコントローラ30は図示しないプリンタのエンジン35からデータ転送命令LSYNCを受けると、1ライン目のデータ信号DATAをメモリ32から2回読み出す。そして、読み出されたデータ信号DATAはゲート33においてルートが切り換えられ、1/2ラインデータ作成回路37に入力される。前記ゲート33におけるルートの切り換えは、ゲート切換回路39において発生させられたゲート切換信号SG1をゲート33に入力することによって行われる。

【0036】前記1/2ラインデータ作成回路37においては、入力されたデータ信号DATAが1ドットおきに非印字データである“0”によってマスクされる。そのために、前記1/2ラインデータ作成回路37は、第1ラインデータ作成部42及び第2ラインデータ作成部

43を有し、前記第1ラインデータ作成部42においては、1ラインデータの偶数ビットが“0”によってマスクされ、奇数ビット用データ信号DATA3が発生させられ、該奇数ビット用データ信号DATA3がラインバッファ45に対して出力される。また、前記第2ラインデータ作成部43においては、1ラインデータの奇数ビットが“0”によってマスクされ、偶数ビット用データ信号DATA4が発生させられ、該偶数ビット用データ信号DATA4がラインバッファ46に対して出力される。

【0037】例えば、ホストコンピュータから送信された1ライン目のデータ信号DATAのビットデータが“ABABABABAB”（“A”、“B”はそれぞれ“1”又は“0”の2値データであるとする。）であるとする、第1ラインデータ作成部42によってラインバッファ45に対して出力される奇数ビット用データ信号DATA3のビットデータは“A0A0A0A0A0”になる。また、第2ラインデータ作成部43によってラインバッファ46に対して出力される偶数ビット用データ信号DATA4のビットデータは“0B0B0B0B0B”になる。このようにして、1ライン目のデータ信号DATAは1ビットデータおきに2分割され、奇数ビット用データ信号DATA3及び偶数ビット用データ信号DATA4として2個のラインバッファ45、46に書き込まれる。

【0038】そして、該ラインバッファ45、46にはゲート48が接続され、前記ゲート切換回路39において発生させられたゲート切換信号SG1は、インバータ49によって反転させられて前記ゲート48に入力される。したがって、該ゲート48によってラインバッファ45、46を選択的にエンジン35に接続し、ラインバッファ45、46から読み出された奇数ビット用データ信号DATA5及び偶数ビット用データ信号DATA6によって印字を行うことができる。

【0039】この場合、ゲート33には前記ゲート切換信号SG1がそのまま入力されるのに対して、ゲート48には前記ゲート切換信号SG1が反転させられて入力される。したがって、ゲート33によって選択されるルートとゲート48によって選択されるルートとが常に逆にされる。なお、51はリードアドレスカウンタであり、ラインバッファ45、46から奇数ビット用データ信号DATA5及び偶数ビット用データ信号DATA6を読み出すためのアドレス信号を出力する。この場合、奇数ビット用データ信号DATA3及び偶数ビット用データ信号DATA4が書き込まれているラインバッファ45（又は46）とは反対側のラインバッファ46（又は45）から読み出される。

【0040】図11は本発明の第2の実施例におけるサーマルヘッドの駆動回路のタイムチャートである。まず、DMAコントローラ30（図1）は、タイミングt

1において1ライン目の奇数ビット用データ信号DATA3をラインバッファ45に書き込み、印字に必要なデータ転送命令LSYNCを受けるのを待機する。

【0041】そして、前記DMAコントローラ30は、タイミング2においてデータ転送命令LSYNCをエンジン35から受けると、1ライン目の偶数ビット用データ信号DATA4をラインバッファ46に書き込む。さらに、前記データ転送命令LSYNCをトリガとして、リードアドレスカウンタ51が動作を開始し、前記ラインバッファ45から奇数ビット用データ信号DATA5が読み出される。

【0042】そして、前記奇数ビット用データ信号DATA5の読出しが終了すると、タイミング3において1/2ラッチ信号1/2LATCHが出力され、奇数ビット用データ信号DATA5が図示しないサーマルヘッドのラッチに保持され、続いて、ストロブ信号STBが出力され、前記奇数ビット用データ信号DATA5についての印字が行われる。

【0043】また、前記1/2ラッチ信号1/2LATCHは、偶数ビット用データ信号DATA6をラインバッファ46から読み出す際のトリガ信号にもなり、リードアドレスカウンタ51が動作を開始し、前記ラインバッファ46から偶数ビット用データ信号DATA6が読み出される。そして、タイミング4において偶数ビット用データ信号DATA6は、データ転送命令LSYNCをトリガとしてラッチに保持され、続いて、ストロブ信号STBが出力され、前記偶数ビット用データ信号DATA6についての印字が行われる。

【0044】このように、奇数ビット用データ信号DATA3がラインバッファ45に書き込まれている間に、前のラインの偶数ビット用データ信号DATA6がラインバッファ46から読み出される。しかも、奇数ビット用データ信号DATA5についての印字が行われている間に、次のラインの偶数ビット用データ信号DATA6がラインバッファ46から読み出される。

【0045】なお、WDATA3は奇数ビット用データ信号DATA3のライトイネーブル信号、WDATA4は偶数ビット用データ信号DATA4のライトイネーブル信号、RDATA5は奇数ビット用データ信号DATA5のリードイネーブル信号、RDATA6は偶数ビット用データ信号DATA6のリードイネーブル信号である。このように、奇数ビット用データ信号DATA5の偶数ビットが“0”によってマスクされ、偶数ビット用データ信号DATA6の奇数ビットが“0”によってマスクされているので、サーマルヘッドの図示しない発熱体は奇数番目の発熱体と偶数番目の発熱体とに分割され、交互に時系列で発熱させられる。したがって、隣接する発熱体による影響を受けることがなくなる。

【0046】その結果、不要なドットが形成されることがなくなるので、画像品位を向上させることができる。

さらに、すべての発熱体が同時に作動させられることがないので、電源の容量を小さくすることができる。しかも、第1の実施例のように奇数ビット用シフトレジスタ21、偶数ビット用シフトレジスタ22、奇数ビット用ラッチ23、偶数ビット用ラッチ24等のハード構成にする必要がなく、アルゴリズム構成にすることができるので、コストを削減することができる。

【0047】次に、本発明の第3の実施例について説明する。図12は本発明の第3の実施例におけるサーマルヘッドの駆動回路のブロック図である。図において、130はDMAコントローラ、131は図示しないホストコンピュータから転送されたデータ信号DATAを受信するインタフェース回路、132は受信されたデータ信号DATAを格納するメモリ、133は前記データ信号DATAが転送されるルートを切り換えるためのゲートである。前記DMAコントローラ130は、インタフェース回路131、メモリ132及びゲート133との間においてデータ信号DATAの流れを制御する。

【0048】そして、DMAコントローラ130は図示しないプリンタのエンジン135からデータ転送命令LSYNCを受けると、1ライン目のデータ信号DATAをメモリ132から2回読み出す。そして、読み出されたデータ信号DATAはゲート133においてルートが切り換えられ、1/2ラインデータ作成回路137に入力される。前記ゲート133におけるルートの切換えは、ゲート切換回路139において発生させられたゲート切換信号SG1をゲート133に入力することによって行われる。

【0049】前記1/2ラインデータ作成回路137においては、入力されたデータ信号DATAが1ドットおきに非印字データである“0”によってマスクされる。そのために、前記1/2ラインデータ作成回路137は、第1ラインデータ作成部142及び第2ラインデータ作成部143を有し、前記第1ラインデータ作成部142においては、1ラインデータの偶数番目のバイトデータが“0”によってマスクされ、奇数バイト用データ信号DATA7が発生させられ、該奇数バイト用データ信号DATA7がラインバッファ145に対して出力される。また、第2ラインデータ作成部143においては、1ラインデータの先頭から奇数番目のバイトデータが“0”によってマスクされ、偶数バイト用データ信号DATA8が発生させられ、該偶数バイト用データ信号DATA8がラインバッファ146に対して出力される。

【0050】例えば、ホストコンピュータから送信された1ライン目のデータ信号DATAのバイトデータが“CDCDCDCDCD”(“C”、“D”はそれぞれ“00H”から“FFH”までの多値データであるとする。)であるとする、第1ラインデータ作成部142によってラインバッファ145に対して出力される奇数

11

バイト用データ信号DATA7のバイトデータは“C0C0C0C0C0”になる。また、第2ラインデータ作成部143によってラインバッファ146に対して出力される偶数バイト用データ信号DATA8のバイトデータは“0D0D0D0D0D”になる。このようにして、1ライン目のデータ信号DATAは1バイトデータおきに2分割され、奇数バイト用データ信号DATA7及び偶数バイト用データ信号DATA8として2個のラインバッファ145、146に書き込まれる。

【0051】そして、該ラインバッファ145、146にはゲート148が接続され、前記ゲート切換回路139において発生させられたゲート切換信号SG1は、インバータ149によって反転させられて前記ゲート148に入力される。したがって、該ゲート148によってラインバッファ145、146を選択的にエンジン135に接続し、ラインバッファ145、146から読み出された奇数バイト用データ信号DATA9及び偶数バイト用データ信号DATA10についての印字を行うことができる。

【0052】この場合、ゲート133には前記ゲート切換信号SG1がそのまま入力されるのに対して、ゲート148には前記ゲート切換信号SG1が反転させられて入力される。したがって、ゲート133によって選択されるルートとゲート148によって選択されるルートとが常に逆にされる。なお、151はリードアドレスカウンタであり、ラインバッファ145、146から奇数バイト用データ信号DATA9及び偶数バイト用データ信号DATA10を読み出すためのアドレス信号を出力する。この場合、奇数バイト用データ信号DATA7及び偶数バイト用データ信号DATA8が書き込まれているラインバッファ145（又は146）とは反対側のラインバッファ146（又は145）から読み出される。

【0053】ところで、前記奇数バイト用データ信号DATA9及び偶数バイト用データ信号DATA10は、ゲート148によってルートが選択された後に、データ比較回路160において比較値と比較される。そのために、階調ラッチ回路161が配設され、該階調ラッチ回路161はエンジン35からデータ転送命令LSYNCを受けると、“0”～“7”の比較値REFを発生させ、前記データ比較回路160に対して出力する。

【0054】該データ比較回路160においては、前記比較値REFと奇数バイト用データ信号DATA9又は偶数バイト用データ信号DATA10とを比較し、奇数バイト用データ信号DATA9又は偶数バイト用データ信号DATA10が比較値REFより大きい場合は“1”（印字データ）を出力し、奇数バイト用データ信号DATA9又は偶数バイト用データ信号DATA10が比較値REF以下である場合は“0”（非印字データ）を出力する。

【0055】例えば、8階調を表現しようとする場合

12

は、1バイトデータの上位3ビットと“0”～“7”の比較値REFとを比較する。したがって、データ比較回路160における比較は8回行われることになる。このようにして、奇数バイト用データ信号DATA9及び偶数バイト用データ信号DATA10はそれぞれ8個の1/16ラインデータになる。

【0056】そして、奇数バイト用データ信号DATA9についての8個の1/16ラインデータ及び偶数バイト用データ信号DATA10についての8個の1/16ラインデータが前記エンジン135に逐次転送される。そして、合計16個の1/16ラインデータはエンジン135に転送されるたびに図示しないラッチに保持され、印字が行われる。

【0057】図13は本発明の第3の実施例におけるサーマルヘッドの駆動回路のタイムチャートである。データ転送命令LSYNCが入力されると、1ライン目の奇数バイト用データ信号DATA9が前記データ比較回路160（図12）に入力され、“0”の比較値REFと比較される。奇数バイト用データ信号DATA9が“0”の比較値REFより大きい場合は“1”が出力され、奇数バイト用データ信号DATA9が“0”の比較値REF以下である場合は“0”が出力される。

【0058】次に、アドレスカウンタ151によって1/16ラインデータのデータ数の計数が終了すると、1/16ラッチ信号1/16LATCHが図示しないサーマルヘッドのラッチに対して出力され、続いてストロブ信号STBも出力され、印字が行われる。その後、1ライン目の偶数バイト用データ信号DATA10が前記データ比較回路160に入力され、“0”の比較値REFと比較され、同様に印字が行われる。

【0059】続いて、前記“1”の比較値REFによって比較を行い、比較結果に基づいて印字が行われる。このように、奇数バイト用データ信号DATA9の偶数番目のバイトデータが“0”によってマスクされ、偶数バイト用データ信号DATA10の奇数番目のバイトデータが“0”によってマスクされているので、サーマルヘッドの図示しない発熱体は奇数番目の発熱体と偶数番目の発熱体とに分割され、交互に時系列で発熱させられる。

【0060】したがって、隣接する発熱体による影響を受けることがなく、ドット径が大きくなるのを防止することができるので、画像品位を向上させることができる。さらに、すべての発熱体が同時に作動させられることがないので、電源の容量を小さくすることができる。図14は本発明の第4の実施例におけるサーマルヘッドの駆動回路のタイムチャートである。

【0061】この場合、奇数バイト用データ信号DATA9についての8個の1/16ラインデータが前記データ比較回路160（図12）に対して連続して出力され、その後、偶数バイト用データ信号DATA10につ

13

いての8個の1/16ラインデータが前記データ比較回路160に対して連続して出力されるようになってい

る。
【0062】なお、本発明は前記実施例に限定されるものではなく、本発明の趣旨に基づいて種々変形させることが可能であり、それらを本発明の範囲から排除するものではない。

【0063】

【発明の効果】以上詳細に説明したように、本発明によれば、サーマルヘッドの駆動回路においては、1ラインの奇数ビットから成るデータ信号を発生させる手段と、1ラインの偶数ビットから成るデータ信号を発生させる手段と、“0”データを発生させる手段と、奇数ビット用シフトレジスタと、偶数ビット用シフトレジスタとを有する。

【0064】この場合、奇数ビット用シフトレジスタには奇数ビットから成るデータ信号又は“0”データが入力され、偶数ビット用シフトレジスタには偶数ビットから成る信号又は“0”データが入力される。また、前記奇数ビット用シフトレジスタに対して奇数ビットから成るデータ信号を出力するタイミングにおいて、偶数ビット用シフトレジスタに対して“0”データを出力するとともに、前記偶数ビット用シフトレジスタに対して偶数ビットから成るデータ信号を出力するタイミングにおいて、奇数ビット用シフトレジスタに対して“0”データを出力する手段と、前記奇数ビット用シフトレジスタ及び偶数ビット用シフトレジスタの出力に対応して選択的に発熱する発熱体とを有する。

【0065】この場合、奇数ビット用シフトレジスタの出力に対応して奇数番目の発熱体が選択的に発熱している間においては、偶数番目の発熱体は発熱しない。また、偶数ビット用シフトレジスタの出力に対応して偶数番目の発熱体が選択的に発熱している間においては、奇数番目の発熱体は発熱しない。したがって、奇数番目の発熱体と偶数番目の発熱体とを交互に時系列で発熱させるようにしているので、発熱体をオン・オフさせて作動させるサーマルヘッドにおいては、隣接する発熱体による影響を受けることがなくなる。その結果、不要ドットが形成されることがなくなるので、画像品位を向上させることができる。

【0066】また、発熱体をオンにする時間を変え、発生させられるエネルギーを濃度階調に対応させて変更するサーマルヘッドにおいては、隣接する発熱体による影響を受けることがなく、ドット径が大きくなるのを防止することができるので、画像品位を向上させることができる。さらに、すべての発熱体が同時に作動させられることがないので、電源の容量を小さくすることができる。

【0067】本発明の他のサーマルヘッドの駆動回路においては、1ラインのデータ信号のうち偶数ビットを

14

“0”によってマスクして奇数ビット用データ信号を発生させる第1ラインデータ作成手段と、1ラインのデータ信号のうち奇数ビットを“0”によってマスクして偶数ビット用データ信号を発生させる第2ラインデータ作成手段と、奇数ビット用データ信号を格納する第1のラインバッファと、偶数ビット用データ信号を格納する第2のラインバッファとを有する。

【0068】そして、前記第1のラインバッファに格納された奇数ビット用データ信号と第2のラインバッファに格納された偶数ビット用データ信号とをプリンタのエンジンに対して交互に出力する切換手段を有する。この場合、第1のラインバッファに格納された奇数ビット用データ信号がプリンタのエンジンに入力されると、偶数番目の発熱体は発熱しない。また、第2のラインバッファに格納された偶数ビット用データ信号がプリンタのエンジンに入力されると、奇数番目の発熱体は発熱しない。

【0069】したがって、奇数番目の発熱体と偶数番目の発熱体とを交互に時系列で発熱させるようにしているので、発熱体をオン・オフさせて作動させるサーマルヘッドにおいては、隣接する発熱体による影響を受けることがなくなる。その結果、本来形成されないドットが形成されることがなくなるので、画像品位を向上させることができる。

【0070】また、発熱体をオンにする時間を変え、発生させられるエネルギーを濃度階調に対応させて変更するサーマルヘッドにおいては、隣接する発熱体による影響を受けることがなく、ドット径が大きくなるのを防止することができるので、画像品位を向上させることができる。さらに、すべての発熱体が同時に作動させられることがないので、電源の容量を小さくすることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例におけるサーマルヘッドの駆動回路のブロック図である。

【図2】従来のサーマルヘッドの駆動回路を示すブロック図である。

【図3】従来のサーマルヘッドの駆動回路の第1のタイムチャートである。

【図4】従来のサーマルヘッドの駆動回路の第2のタイムチャートである。

【図5】従来のサーマルヘッドにおけるエネルギーとドット径との関係図である。

【図6】従来のサーマルヘッドにおける発熱体の状態と温度との関係を示す第1の図である。

【図7】従来のサーマルヘッドにおける発熱体の状態と温度との関係を示す第2の図である。

【図8】本発明の第1の実施例におけるサーマルヘッドの駆動回路の第1のタイムチャートである。

【図9】本発明の第1の実施例におけるサーマルヘッド

15

の駆動回路の第2のタイムチャートである。

【図10】本発明の第2の実施例におけるサーマルヘッドの駆動回路のブロック図である。

【図11】本発明の第2の実施例におけるサーマルヘッドの駆動回路のタイムチャートである。

【図12】本発明の第3の実施例におけるサーマルヘッドの駆動回路のブロック図である。

【図13】本発明の第3の実施例におけるサーマルヘッドの駆動回路のタイムチャートである。

【図14】本発明の第4の実施例におけるサーマルヘッド

16

ドの駆動回路のタイムチャートである。

【符号の説明】

21 奇数ビット用シフトレジスタ

22 偶数ビット用シフトレジスタ

23 奇数ビット用ラッチ

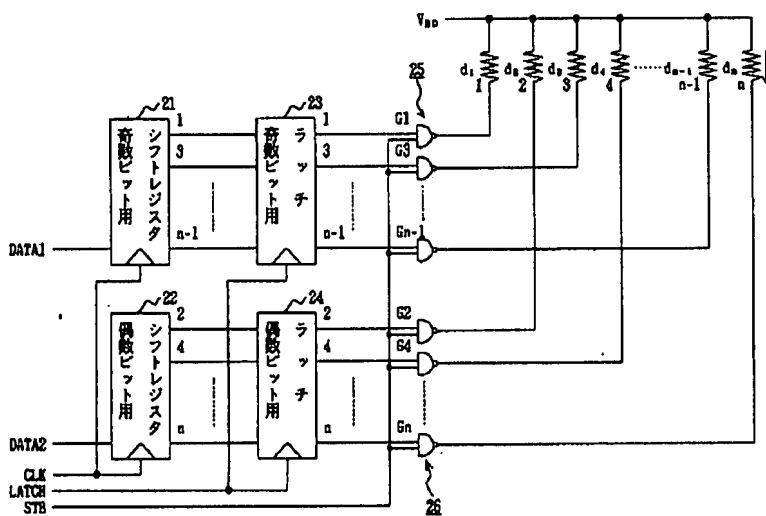
24 偶数ビット用ラッチ

25 奇数ビット用ドライバ

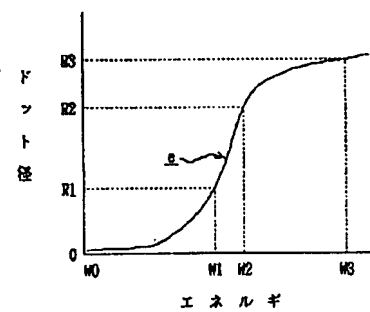
26 偶数ビット用ドライバ

d_1 、 d_2 、 \dots 、 d_n 発熱体

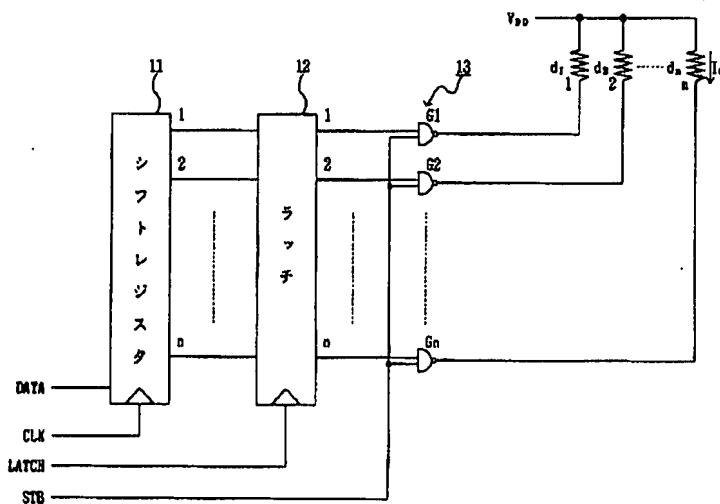
【図1】



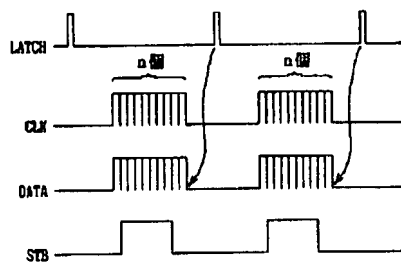
【図5】



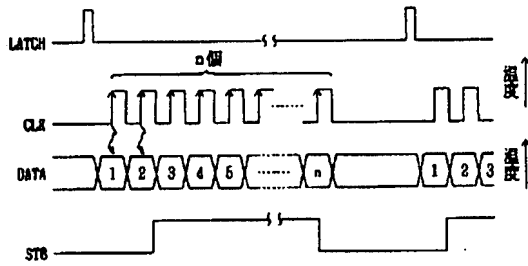
【図2】



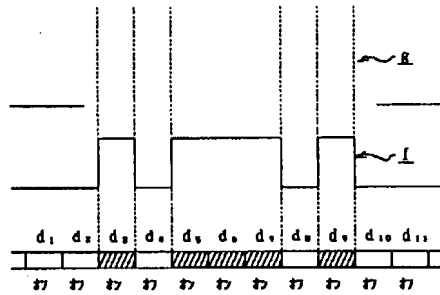
【図3】



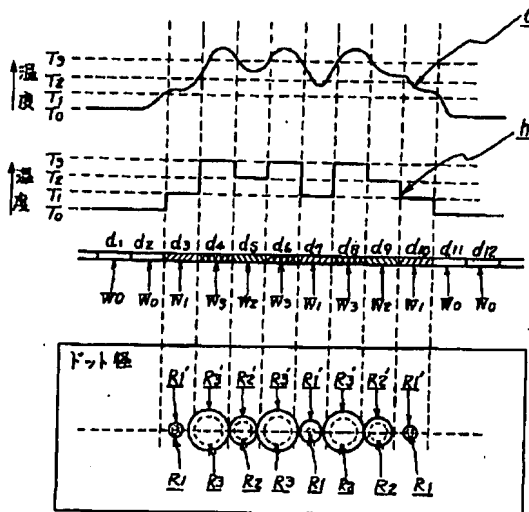
【図4】



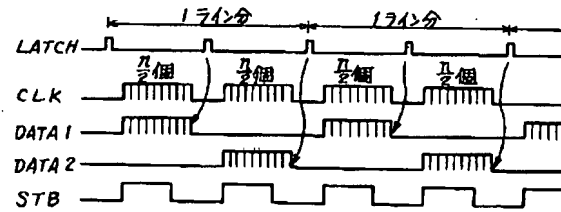
【図6】



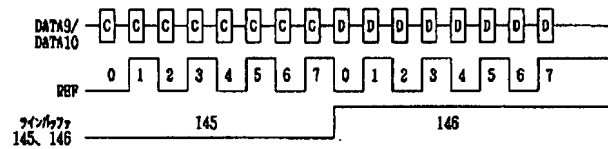
【図7】



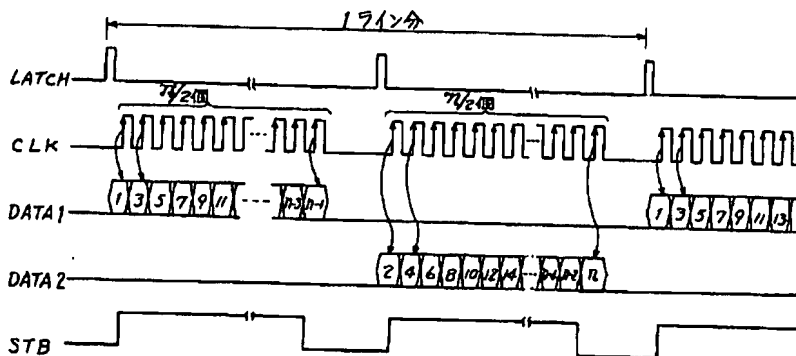
【図8】



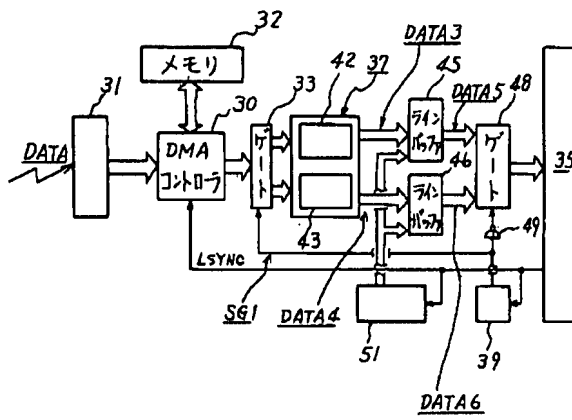
【図14】



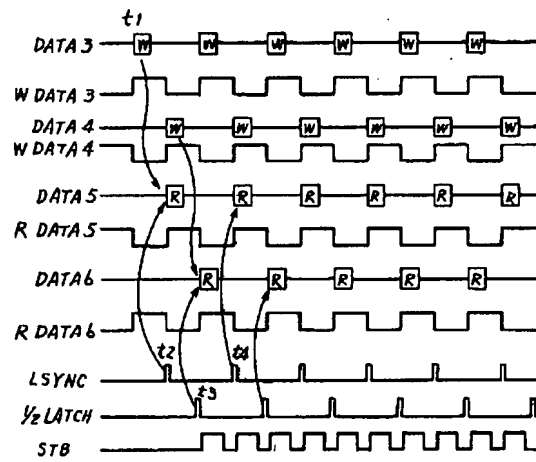
【図9】



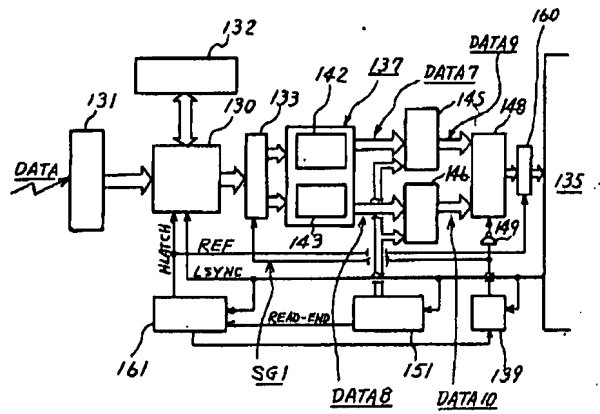
【図10】



【図11】



【図12】



【図13】

